

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-103240

(43)Date of publication of application : 13.04.1999

(51)Int.Cl.

H03K 3/037
H03K 3/3562
H03K 19/0185

(21)Application number : 09-261741

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.09.1997

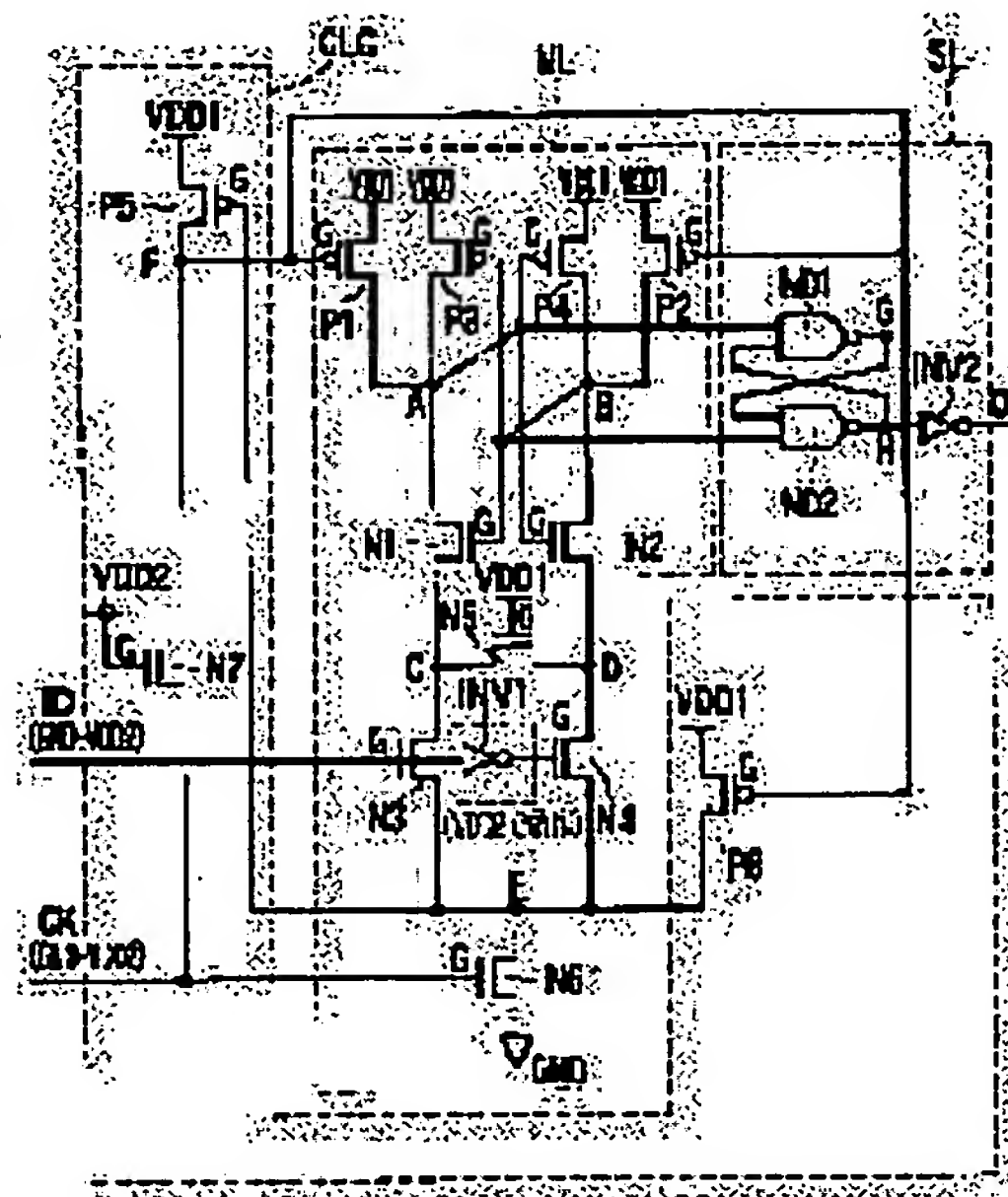
(72)Inventor : HAMADA MOTOTSUGU
KURODA TADAHIRO

(54) LATCH CIRCUIT PROVIDED WITH CLOCK SIGNAL LEVEL CONVERSION FUNCTION, AND FLIP-FLOP CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent leakage current from flowing through a flip-flop circuit.

SOLUTION: This flip-flop circuit provided with a master latch circuit ML and a slave latch circuit SL is driven by voltage VDD1. A clock signal CK is amplified between voltage VDD2 lower than the voltage VDD1 and ground voltage. A clock signal level conversion circuit CLC is arranged on a front stage for inputting the clock signal to the FF circuit. The circuit CLC boosts the voltage VDD2 of the clock signal CK to the voltage VDD and then inputs a high voltage clock signal CK to the FF circuit. Consequently the leakage current can be prevented from flowing through the flip-flop circuit.



LEGAL STATUS

[Date of request for examination] 13.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3582967

[Date of registration] 06.08.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 0 3 2 4 0

(43) 公開日 平成 1 1 年 (1 9 9 9) 4 月 1 3 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H03K	3/037		H03K 3/037	B
	3/3562		3/356	C
	19/0185		19/00	101 B

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平 9 - 2 6 1 7 4 1

(22) 出願日 平成 9 年 (1 9 9 7) 9 月 2 6 日

(71) 出願人 0 0 0 0 0 3 0 7 8

株式会社東芝

神奈川県川崎市幸区堀川町 7 2 番地

(72) 発明者 濱 田 基 嗣

神奈川県川崎市幸区堀川町 5 8 0 番 1 号

株式会社東芝半導体システム技術センター
内

(72) 発明者 黒 田 忠 広

神奈川県川崎市幸区堀川町 5 8 0 番 1 号

株式会社東芝半導体システム技術センター
内

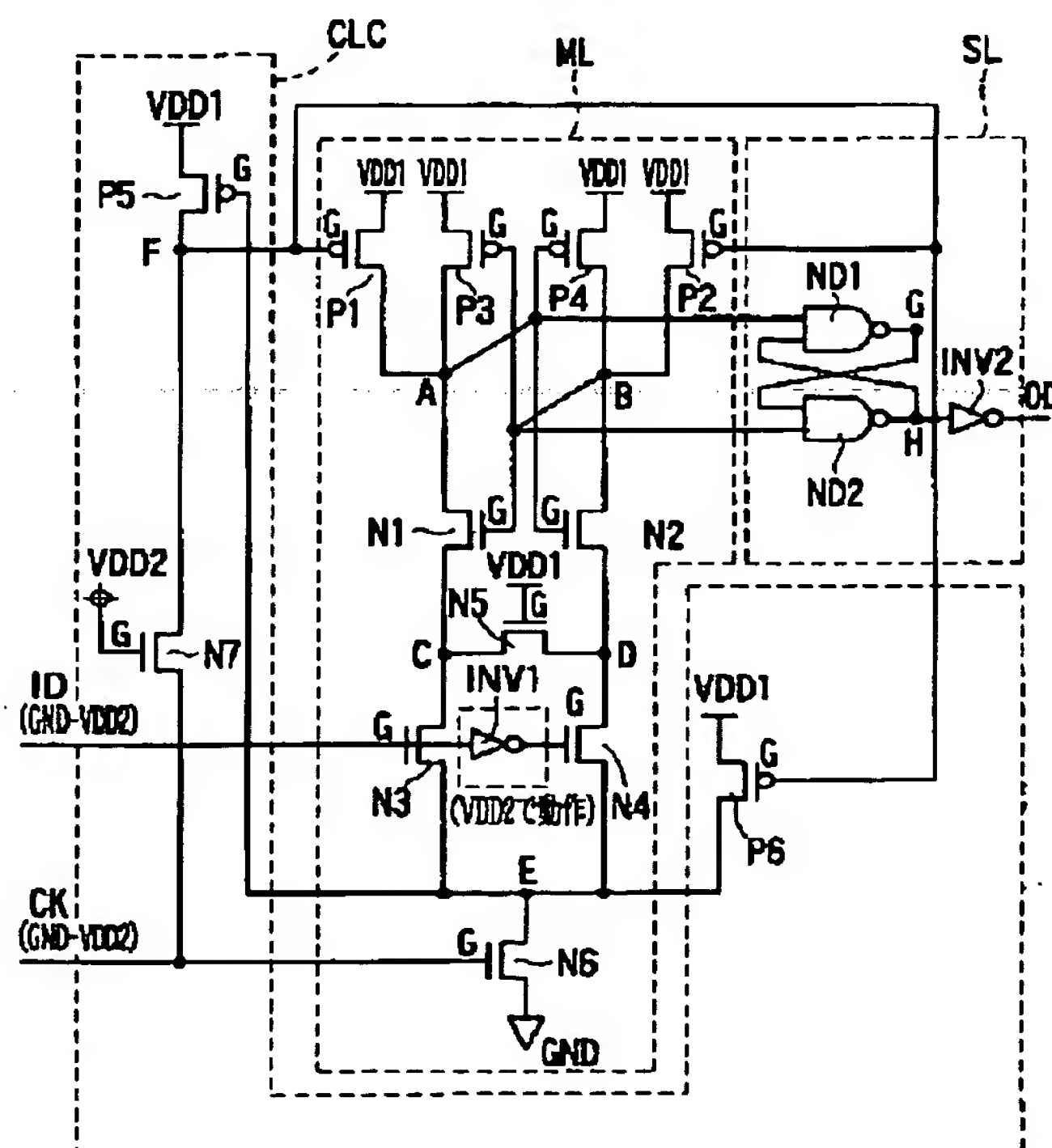
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

(54) 【発明の名称】 クロック信号レベル変換機能付ラッチ回路及びフリップフロップ回路

(57) 【要約】

【課題】 フリップフロップ回路内でリーク電流が流れるのを防止する。

【解決手段】 マスターラッチ回路 ML とスレーブラッチ回路 SL とを備えるフリップフロップ回路を電圧 V D D 1 で動作させる。また、クロック信号 C K を、電圧 V D D 1 よりも低い電圧 V D D 2 とグランドとの間で振幅させる。このクロック信号 C K をフリップフロップ回路へ入力する前段に、クロック信号レベル変換回路 C L C を設ける。このクロック信号レベル変換回路 C L C で、電圧 V D D 2 のハイのクロック信号 C K を、電圧 V D D 1 に上げた後にフリップフロップ回路へ入力する。これにより、フリップフロップ回路内でリーク電流が流れるのを防止することができる。



【特許請求の範囲】

【請求項 1】第 1 の電圧で動作するラッチ回路であって、入力されたクロック信号がハイの間は、前記クロック信号の立ち上がり時における入力信号の内容を保持して出力信号とし、前記クロック信号がロウの間は、前記入力信号にかかわらずハイの出力信号を出力する、ラッチ回路と、

前記ラッチ回路へ前記クロック信号を入力する前段に設けられたクロック信号レベル変換回路であって、前記クロック信号がハイの場合には、前記第 1 の電圧より低い第 2 の電圧で入力されたクロック信号の電圧レベルを高めたうえで、前記第 1 の電圧のクロック信号として前記ラッチ回路へ入力するための、クロック信号レベル変換回路と、

を備えたことを特徴とするクロック信号レベル変換機能付ラッチ回路。

【請求項 2】前記ラッチ回路は、前記第 1 の電圧の電源に入力端子が接続されたプリチャージ用の第 1 トランジスタを備えとともに、前記クロック信号レベル変換回路からこの第 1 トランジスタの制御端子へ前記第 1 の電圧の前記クロック信号を入力することを特徴とする請求項 1 に記載のクロック信号レベル変換機能付ラッチ回路。

【請求項 3】前記ラッチ回路は、負側電源に接続された出力端子と、前記第 2 の電圧の前記クロック信号が入力される制御端子とを有する、第 2 トランジスタを備え、前記クロック信号レベル変換回路は、前記第 1 の電圧の電源に接続された入力端子と、前記第 1 トランジスタの制御端子へ接続された出力端子と、前記第 2 トランジスタの入力端子に接続された制御端子とを有する、第 3 トランジスタを備え、ことを特徴とする請求項 2 に記載のクロック信号レベル変換機能付ラッチ回路。

【請求項 4】前記クロック信号レベル変換回路は、前記第 3 トランジスタの出力端子と、前記第 2 の電圧の前記クロック信号を取り込むためのクロック入力端子との間に、常時オン状態となる、第 4 トランジスタを備えることを特徴とする請求項 3 に記載のクロック信号レベル変換機能付ラッチ回路。

【請求項 5】前記請求項 1 乃至請求項 4 のいずれかに記載のクロック信号レベル変換機能付ラッチ回路から構成されたマスターラッチ回路と、このマスターラッチ回路からの出力信号により動作するスレーブラッチ回路と、を備えたことを特徴とするクロック信号レベル変換機能付フリップフロップ回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明はクロック信号レベル変換機能付ラッチ回路及びフリップフロップ回路に関

し、特に、多電源で動作する L S I に用いられる、クロック信号レベル変換機能付ラッチ回路及びフリップフロップ回路に関する。

【 0 0 0 2 】

【従来の技術】集積回路の低消費電力化を図るために、チップ内部を多電源化することが、従来から行われている。例えば、通常電圧 V D D で動作する組み合わせ論理回路と、この通常電圧 V D D より低い低電圧 V D D L で動作する組み合わせ論理回路とを、1 つの L S I チップの中に設けることが行われている。さらにこれに加えて、クロック信号やデータ信号における振幅の低電圧化を図ることが行われている。このような L S I においては、低電圧 V D D L で動作する組み合わせ論理回路と、通常電圧 V D D で動作する組み合わせ論理回路との間で、データ信号のやりとりをする場合、電圧レベルを変換する必要が生じる。このような電圧レベルの変換は、フリップフロップ回路で行われるのが一般的である。

【 0 0 0 3 】このようなフリップフロップ回路は、例えば、「1997 Symposium on VLSI Circuits Digest of Technical Papers, pp97-98」に開示されている。これには、図 3 に示すようなフリップフロップ回路が開示されている。図 3 からわかるように、このフリップフロップ回路は、図中左側から低電圧 V D D L で振幅するクロック信号 C K や入力データ信号 I D を入力し、図中右側から通常電圧 V D D で振幅する出力データ信号 O D を出力する回路である。

【 0 0 0 4 】

【発明が解決しようとする課題】ところで、図 3 に示すフリップフロップ回路は、プリチャージ用の p 型 MOS トランジスタ P 1、P 2 におけるしきい値電圧を、他の MOS トランジスタより、高くする必要がある。なぜなら、p 型 MOS トランジスタ P 1、P 2 のしきい値電圧が低いと、クロック信号 C K がハイとなった場合でも、これら p 型 MOS トランジスタ P 1、P 2 が完全なオフ状態とならず、リーク電流 L C が流れてしまうという問題があるからである。例えば、p 型 MOS トランジスタ P 1 に着目すると、クロック信号 C K がハイとなった場合は、この p 型 MOS トランジスタ P 1 は完全なオフ状態となり、電圧 V D D の電源とノード X との間を遮断しなければならない。しかしながら、p 型 MOS トランジスタ P 1 のしきい値電圧が低いと、クロック信号 C K がハイとなっても、この p 型 MOS トランジスタ P 1 が完全なオフ状態とならず、電圧 V D D の電源からノード X へリーク電流 L C が流れてしまう。このことは p 型 MOS トランジスタ P 2 においても同様である。このようにクロック信号 C K がハイのときに、定常的なリーク電流 L C が流れると、消費電力が増大するとともに動作速度の低下を招く。以上のような理由により、p 型 MOS トランジスタ P 1、P 2 のしきい値電圧を高くしておく必要があるのである。

【0005】このようにしきい値電圧を高くしておくため、従来は、これら p 型 MOS トランジスタ P 1、P 2 の基板へしきい値制御用電圧 V W E L L を印加していた。しかし、このしきい値制御用電圧 V W E L L が必要となると、このフリップフロップ回路を動作させるために、3 種類の電圧電源が少なくとも必要になるという問題があった。すなわち、このしきい値制御用電圧 V W E L L の他に、p 型 MOS トランジスタ P 1、P 2 等の MOS トランジスタを動作させるための電圧 V D D と、クロック信号 C K 等を発生させるためやインバータ I N V 1 を動作させるための電圧 V D D L とが、必要となり、全部で 3 つの異なる電圧の電源が必要になるという問題があった。

【0006】一方、p 型 MOS トランジスタ P 1、P 2 のしきい値電圧を、集積回路の製造過程におけるイオンインプラ工程において制御する方法も存在した。しかし、このようなやり方は 1 つの集積回路内に異なるしきい値電圧の MOS トランジスタが混在することとなり、製造工程数の増加や製造コストの増大を招くという問題があった。

【0007】そこで本発明は、これらの課題に鑑みてなされたものであり、クロック信号 C K を、フリップフロップ回路の動作電圧より低い電圧で振幅させた場合でも、リーク電流 L C が流れないようにしたフリップフロップ回路を提供することを目的とする。すなわち、クロック信号 C K がハイになった場合に、プリチャージ用の p 型 MOS トランジスタ P 1、P 2 が十分なオフ状態にならないという問題を解決することを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するため、本発明に係るクロック信号レベル変換機能付ラッチ回路は、第 1 の電圧で動作するラッチ回路であって、入力されたクロック信号がハイの間は、前記クロック信号の立ち上がり時における入力信号の内容を保持して出力信号とし、前記クロック信号がロウの間は、前記入力信号にかかわらずハイの出力信号を出力する、ラッチ回路と、前記ラッチ回路へ前記クロック信号を入力する前段に設けられたクロック信号レベル変換回路であって、前記クロック信号がハイの場合には、前記第 1 の電圧より低い第 2 の電圧で入力されたクロック信号の電圧レベルを高め、前記第 1 の電圧のクロック信号として前記ラッチ回路へ入力するための、クロック信号レベル変換回路と、を備えたことを特徴とするものである。

【0009】

【発明の実施の形態】本実施形態は、マスターラッチ回路とスレーブラッチ回路とからなるフリップフロップ回路へクロック信号を入力する際に、このクロック信号のハイ状態における電圧を高くして、このフリップフロップ回路で用いられている MOS トランジスタが十分なオフ状態となるようにしたものである。そしてこれによ

り、リーク電流が流れないようにして、消費電力の抑制を図ったものである。以下により詳しく説明する。

【0010】図 1 は本実施形態に係るクロック信号レベル変換機能付フリップフロップの回路の一例を示す図である。

【0011】この図 1 からわかるように、本実施形態のクロック信号レベル変換機能付フリップフロップ回路は、マスターラッチ回路 M L とスレーブラッチ回路 S L とクロック信号レベル変換回路 C L C とを、備えて構成される。

【0012】マスタースレーブラッチ M L は、p 型 MOS トランジスタ P 1 乃至 P 4 と、n 型 MOS トランジスタ N 1 乃至 N 6 と、インバータ I N V 1 とを、備えて構成される。すなわち、図中下側におけるグランド端子の上側には、n 型 MOS トランジスタ N 6 が設けられている。電圧 V D D 1 の電源とこの n 型 MOS トランジスタ N 6 との間における図中左側には、p 型 MOS トランジスタ P 3 と、n 型 MOS トランジスタ N 1 と、n 型 MOS トランジスタ N 3 とが、直列的に接続されて、設けられている。また、電圧 V D D 1 の電源と n 型 MOS トランジスタ N 6 との間における図中右側には、p 型 MOS トランジスタ P 4 と、n 型 MOS トランジスタ N 2 と、n 型 MOS トランジスタ N 4 とが、直列的に接続されて、設けられている。

【0013】前述の p 型 MOS トランジスタ P 3 と並列に、p 型 MOS トランジスタ P 1 が設けられている。また、前述の p 型 MOS トランジスタ P 4 と並列に、p 型 MOS トランジスタ P 2 が設けられている。これら p 型 MOS トランジスタ P 1、P 2 は、ノード A、B をクロック信号 C K がロウのときには常にハイ状態にする、プリチャージ用のトランジスタである。p 型 MOS トランジスタ P 4 のゲート G と n 型 MOS トランジスタ N 2 のゲート G は互いに共通接続されており、その中点は p 型 MOS トランジスタ P 3 と n 型 MOS トランジスタ N 1 との間のノード A に接続されている。これと同様に、p 型 MOS トランジスタ P 3 のゲート G と n 型 MOS トランジスタ N 1 のゲート G は互いに共通接続されており、その中点は p 型 MOS トランジスタ P 4 と n 型 MOS トランジスタ N 2 との間のノード B に接続されている。

【0014】n 型 MOS トランジスタ N 1 と n 型 MOS トランジスタ N 3 との間にはノード C が設けられており、n 型 MOS トランジスタ N 2 と n 型 MOS トランジスタ N 4 との間にはノード D が設けられている。これらノード C とノード D との間には n 型 MOS トランジスタ N 5 が接続されている。この n 型 MOS トランジスタ N 5 のゲート G には、電圧 V D D 1 の電源が接続されている。つまり、この n 型 MOS トランジスタ N 5 は、常時オン状態のトランジスタになっている。

【0015】n 型 MOS トランジスタ N 3 のゲート G と n 型 MOS トランジスタ N 4 のゲート G との間には、イ

ンバータ I N V 1 が接続されている。このインバータ I N V 1 は、電圧 V D D 1 よりも低い電圧である電圧 V D D 2 で、動作するようになっている。n 型 M O S トランジスタ N 3 のゲート G には、入力データ信号 I D が入力され、n 型 M O S トランジスタ N 4 のゲート G には、入力データ信号 I D を反転した信号が入力される。したがって、n 型 M O S トランジスタ N 3 と n 型 M O S トランジスタ N 4 は互いに相補動作するようになっている。また、入力データ信号 I D は、グラウンドから V D D 2 の幅で振幅する信号である。

【0016】スレーブラッチ回路 S L は、N A N D 回路 N D 1、N D 2 と、インバータ I N V 2 とを備えて構成される。すなわち、N A N D 回路 N D 1 の出力側は、N A N D 回路 N D 2 の第 1 の入力側に接続されており、N A N D 回路 N D 2 の出力側は、N A N D 回路 N D 1 の第 1 の入力側に接続されている。N A N D 回路 N D 1 の第 2 の入力側は、p 型 M O S トランジスタ P 4 のゲート G 側へ接続されている。つまり、ノード A に接続されている。N A N D 回路 N D 2 の第 2 の入力側は、p 型 M O S トランジスタ P 3 のゲート G 側へ接続されている。つまり、ノード B に接続されている。N A N D 回路 N D 1 の出力側にはノード G が設けられており、N A N D 回路 N D 2 の出力側にはノード H が設けられている。このノード H には、インバータ I N V 2 が接続されている。このインバータ I N V 2 からの出力が、出力データ信号 O D となる。すなわち、このクロック信号レベル変換機能付フリップフロップ回路の出力信号である、出力データ信号 O D となる。

【0017】これらマスターラッチ回路 M L とスレーブラッチ回路 S L の図中外側には、クロック信号レベル変換回路 C L C が設けられている。つまり、マスターラッチ回路 M L の前段に、クロック信号レベル変換回路 C L C が設けられている。このクロック信号レベル変換回路 C L C は、p 型 M O S トランジスタ P 5、P 6 と、n 型 M O S トランジスタ N 7 とを備えて構成される。

【0018】電圧 V D D 1 の電源と n 型 M O S トランジスタ N 6 のゲート G との間には、p 型 M O S トランジスタ P 5 と n 型 M O S トランジスタ N 7 とが、直列的に接続されて、設けられている。p 型 M O S トランジスタ P 5 のゲート G は、前述した n 型 M O S トランジスタ N 3、N 4、N 6 の接続点であるノード E と接続されている。p 型 M O S トランジスタ P 5 と n 型 M O S トランジスタ N 7 との間には、ノード F が設けられている。このノード F は、p 型 M O S トランジスタ P 1 のゲート G と、p 型 M O S トランジスタ P 2 のゲート G と、p 型 M O S トランジスタ P 6 のゲート G とへ、接続されている。n 型 M O S トランジスタ N 7 のゲート G は、電圧 V D D 2 の電源に接続されている。したがって、この n 型 M O S トランジスタ N 7 は常時オン状態のトランジスタになっている。n 型 M O S トランジスタ N 7 と n 型 M O

S トランジスタ N 6 との間には、クロック信号 C K を入力するためのクロック入力端子が設けられている。このクロック信号 C K は、グラウンドから V D D 2 の間で振幅する信号である。前述の接続点 E と電圧 V D D 1 の電源との間には、p 型 M O S トランジスタ P 6 が設けられている。

【0019】次に、この図 1 に示すクロック信号レベル変換機能付フリップフロップ回路の動作を、図 2 に基づいて説明する。この図 2 は、このクロック信号レベル変換機能付フリップフロップ回路にける各所のタイムチャートを示す図である。図 2 (a) はクロック信号 C K の一例を示すタイムチャートであり、図 2 (b) は入力データ信号 I D の一例を示すタイムチャートである。これらクロック信号 C K と入力データ信号 I D とは、グラウンドから V D D 2 の幅で振幅する。図 2 (c) 乃至 (j) は、ノード A 乃至 H における電圧の一例を示すタイムチャートであり、グラウンドから V D D 1 の幅で振幅する。図 2 (k) は、出力データ信号 O D の一例を示すタイムチャートであり、グラウンドから V D D 1 の幅で振幅する。

【0020】特に図 2 (a) (b) (k) からわかるように、このクロック信号レベル変換機能付フリップフロップ回路は、クロック信号 C K の立ち上がり時にハイの入力データ信号 I D が入力された場合に、その後におけるクロック信号 C K の一周分の間、ハイの出力データ信号 O D を出力するとともに、その電圧を電圧 V D D 2 から電圧 V D D 1 へ昇圧する回路である。マスターラッチ回路 M L を単独で見ると、入力されたクロック信号 C K がハイの間は、このクロック信号 C K の立ち上がり時における入力データ信号 I D を保持する。すなわち、クロック信号 C K の立ち上がり時における入力データ信号 I D のハイ又はロウに対応して、ノード A 又は B のいずれか一方をハイとし、他方をロウとする。一方、前記クロック信号 C K がロウの間は、前記入力データ信号 I D の内容にかかわらず、ノード A 及び B をハイとする。このような動作をするマスターラッチ回路 M L は、一般にラッチ型センスアンプと呼ばれる、広義のラッチ回路である。より詳しく説明すると、以下のようなになる。

【0021】図 1 からわかるように、クロック信号 C K が n 型 M O S トランジスタ N 6 のゲート G と、p 型 M O S トランジスタ P 1、P 2、P 6 のゲート G とへ、入力されている。このようにクロック信号 C K が入力されている状態において、図 2 (b) からわかるように、時刻 t 1 に、入力データ信号 I D がロウからハイに切り替わったとする。この時刻 t 1 においては、図 2 (a) からわかるように、クロック信号 C K はロウであり、n 型 M O S トランジスタ N 6 はオフである。このため、図 2 (c) 乃至 (k) からわかるように、このクロック信号レベル変換機能付フリップフロップ回路には、影響が現れない。

【0022】次に図2(a)からわかるように、時刻 t_2 でクロック信号CKがロウからハイに切り替わる。すると、n型MOSトランジスタN6がオンとなる。このため、図2(d)からわかるように、ノードEの電圧がグランドとなる。したがって、p型MOSトランジスタP5がオンとなり、図2(c)からわかるように、ノードFがハイとなる。このノードFの電圧はVDD1であり、クロック信号CKの電圧VDD2よりも高い電圧である。ノードFがハイであるので、p型MOSトランジスタP1、P2、P6はいずれもオフとなる。このとき、これらp型MOSトランジスタP1、P2、P6のゲートGの電圧はVDD1であり、ソースの電圧もVDD1である。このため、p型MOSトランジスタP1、P2、P6は、リーク電流が流れない程度の十分なオフ状態となる。

【0023】さらにこの時刻 t_2 においては、図2(b)からわかるように、入力データ信号IDがハイであるので、n型MOSトランジスタN3はオンであり、n型MOSトランジスタN4はオフである。このため、図2(e)からわかるように、ノードCは直ちにロウとなる。これに対して図2(f)からわかるように、ノードDは遅延時間DTだけ遅れた後でロウとなる。これは、ノードDは、n型MOSトランジスタN4がオフであるので直ちにはグランド電位とはならないが、常時オン状態であるn型MOSトランジスタN5を介して、ノードCのグランド電位が伝搬してきた後にグランド電位になるためである。このとき、図2(h)からわかるように、ノードBはハイである。したがって、図2(g)からわかるように、ノードAは直ちにロウとなる。このノードAがロウになると、n型MOSトランジスタN2はオフとなり、p型MOSトランジスタP4はオンとなる。このため、図2(f)からわかるように、遅延時間DT経過後にノードDがロウになったときには、すでにn型MOSトランジスタN2がオフとなっているので、図2(h)からわかるように、ノードBはハイのままとなる。

【0024】このように、ノードAがロウ、ノードBがハイであるので、図2(i)(j)からわかるように、ノードGがロウからハイに切り替わり、ノードHがハイからロウに切り替わる。このため、図2(k)からわかるように、出力データ信号ODはロウからハイに切り替わる。この出力データ信号ODの電圧はVDD1であり、入力データ信号IDの電圧であるVDD2よりも高い電圧になっている。

【0025】次に図2(b)からわかるように、時刻 t_3 で入力データ信号IDがハイからロウに切り替わったとする。しかし、図2(a)からわかるように、クロック信号CKはハイ状態のままであり、n型MOSトランジスタN6はオン状態のままである。このため、このクロック信号レベル変換機能付フリップフロップ回路に

は、影響が現れない。

【0026】次に図2(a)からわかるように、時刻 t_4 でクロック信号CKがハイからロウに切り替わる。すると、p型MOSトランジスタP1、P2、P6がいずれもオンとなる。また、n型MOSトランジスタN6がオフとなる。p型MOSトランジスタP1、P2がオンであり、n型MOSトランジスタN6がオフであるので、図2(g)(h)からわかるように、ノードA、Bはいずれもハイとなる。したがって、n型MOSトランジスタN1、N2はともにオンとなり、図2(e)

(f)からわかるように、ノードC、Dはともにハイとなる。このときp型MOSトランジスタP6がオンであるので、図2(d)からわかるように、ノードEがハイとなる。このノードEの電圧はVDD1となる。このため、p型MOSトランジスタP5はリーク電流が流れない程度の十分なオフ状態となる。

【0027】次に図2(a)からわかるように、時刻 t_5 でクロック信号CKがロウからハイに切り替わる。すると、入力データ信号IDがロウとなっているので、上述したクロック信号CKの立ち上がり時の動作である時刻 t_2 における動作と同様の過程を経て、出力データ信号ODがハイからロウへ切り替わる。

【0028】以上のように、本実施形態に係るクロック信号レベル変換機能付フリップフロップ回路は、図1からわかるように、マスターラッチ回路MLへクロック信号CKを入力する前に、このクロック信号CKの電圧をVDD2からVDD1へ上げることとした。このため、p型MOSトランジスタP1、P2にリーク電流が流れてしまうことがなくなる。すなわち、クロック信号CKがハイの場合は、p型MOSトランジスタP1、P2のゲートGの電圧が、電圧VDD1となり、ソース側の電圧と同電圧となる。このため、これらp型MOSトランジスタP1、P2をリーク電流が流れない十分なオフ状態とすることができる。

【0029】しかも、従来のようなしきい値制御用電圧VWELLが不要となるので、電源電圧の種類を削減することができる。すなわち、本実施形態に係るクロック信号レベル変換機能付フリップフロップ回路を用いれば、電圧VDD1の電源と、電圧VDD2の電源との、2種類で済ますことができる。つまり、クロック信号レベル変換機能付フリップフロップ回路等を動作させるために用いられる電圧VDD1の電源と、インバータINV1を動作させるためやクロック信号CKを発生させるため等に用いられる電圧VDD2の電源で、済ますことができる。また、使用されているpMOSトランジスタのしきい値電圧を1つにすることもできるので、製造工程数の削減や製造コストの低減を図ることができる。

【0030】さらに、p型MOSトランジスタP5とクロック信号CKの入力用端子との間に、n型MOSトランジスタN7を設けたので、逆電流が流れるのを防止す

ることができる。つまり、p型MOSトランジスタP5からクロック信号CKの入力用端子側へ電流が流れるのを防止することができる。なぜなら、クロック信号CKが電圧VDD2のハイとなり、p型MOSトランジスタP5がオンとなった場合でも、n型MOSトランジスタN7のゲートGも電圧VDD2であるので、実質的に電流は流れないからである。。

【0031】しかも、クロック信号CKがロウのときには、p型MOSトランジスタP6を介すことにより、電圧VDD1をp型MOSトランジスタP5のゲートGへ印加するので、このp型MOSトランジスタP5をリーク電流が流れない程度の十分なオフ状態とすることができる。すなわち、p型MOSトランジスタP5のソース側の電圧VDD1と同電圧を、p型MOSトランジスタP5のゲートGに印加することとしたので、このp型MOSトランジスタP5を十分なオフ状態とすることができる。

【0032】なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、図1に示すスレーブラッチ回路SLを省略して、ラッチ回路として用いることもできる。すなわち、クロック信号レベル変換機能付ラッチ回路として、用いることもできる。

【0033】また、電圧の高低関係は上記実施形態に限られるものではない。例えば、入力データ信号IDとクロック信号CKとは、異なる電圧の振幅であっても良い。一方、p型MOSトランジスタP5とp型MOSトランジスタP6との電源電圧は、互いに等しく、且つ、p型MOSトランジスタP1乃至P4の電源電圧と等しいか又は高ければ良い。また、n型MOSトランジスタ

N7のゲート側の電源電圧をVN7Gとし、インバータINV1の電源電圧をVINVとし、入力データ信号IDの振幅をVIDとし、クロック信号CKの振幅をVCKとすると、 $VID \geq VINV$ であり、且つ、 $VCK \geq VN7G$ であれば良い。

【0034】

【発明の効果】以上説明したように、本発明に係るクロック信号レベル変換機能付ラッチ回路及びフリップフロップ回路によれば、クロック信号の電圧レベルを高くした後に、クロック信号をこれらラッチ回路及びフリップフロップ回路へ入力することとしたので、内部にリーク電流が流れるのを防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るクロック信号レベル変換機能付フリップフロップの回路の一例を示す図。

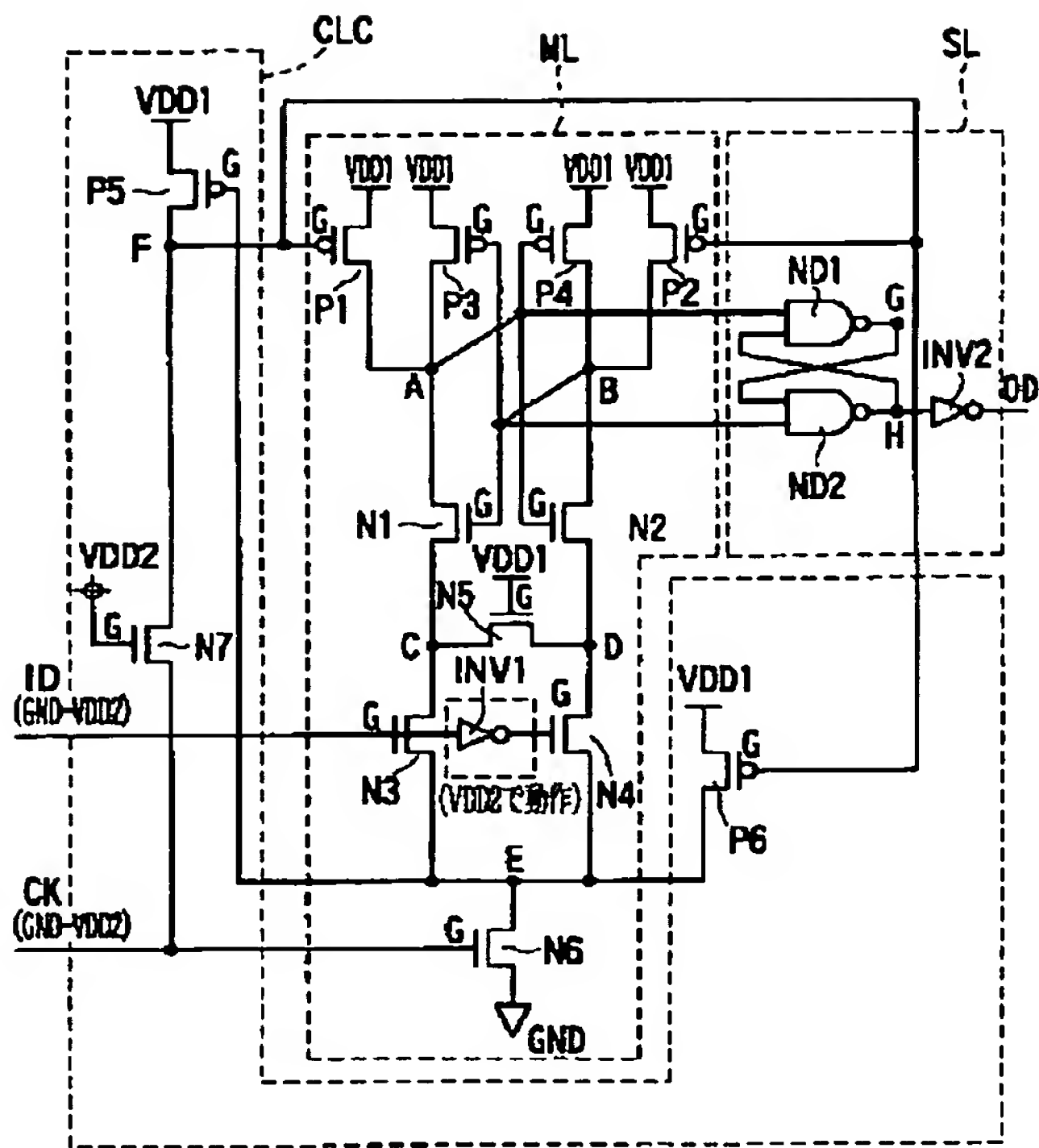
【図2】図1のクロック信号レベル変換機能付フリップフロップ回路のタイムチャートを示す図。

【図3】従来のフリップフロップ回路を示す図。

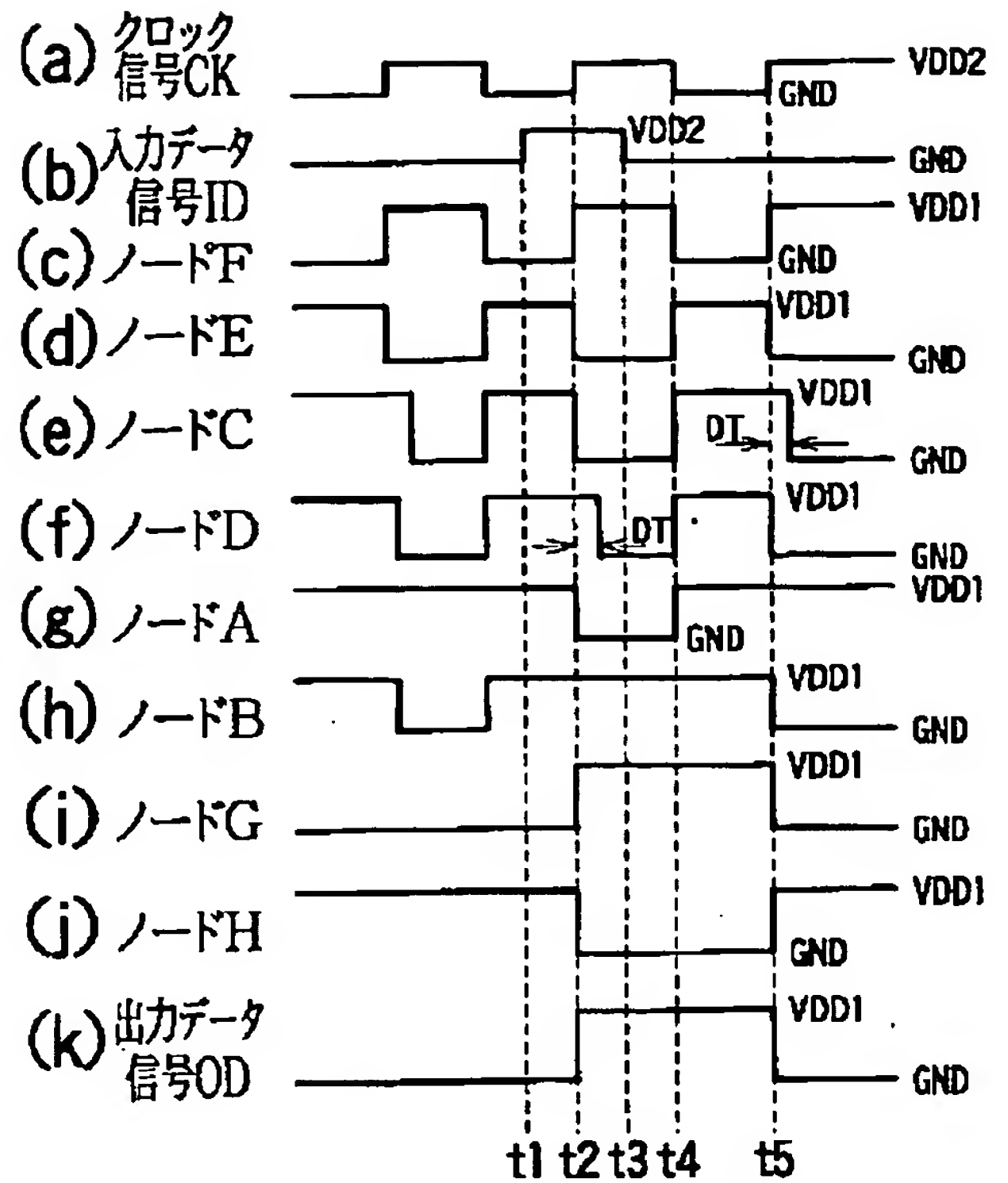
【符号の説明】

- 20 ML マスターラッチ回路
- SL スレーブラッチ回路
- CLC クロック信号レベル変換回路
- ID 入力データ信号
- OD 出力データ信号
- CK クロック信号
- INV1、INV2 インバータ
- P1～P4 p型MOSトランジスタ
- N1～N6 n型MOSトランジスタ

【図 1】



【図 2】



【図 3】

